

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-156941  
(P2002-156941A)

(43) 公開日 平成14年5月31日 (2002.5.31)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テラコート* (参考)
G 0 9 G 3/28		G 0 9 G 3/20	6 1 1 A 5 C 0 5 8
3/20	6 1 1		6 2 3 Y 5 C 0 8 0
	6 2 3		6 4 1 E
	6 4 1	3/30	K
3/30		H 0 4 N 5/66	1 0 1 B
審査請求 未請求 請求項の数11 O L (全 16 頁) 最終頁に続く			

(21) 出願番号 特願2001-197797(P2001-197797)  
(22) 出願日 平成13年6月29日 (2001.6.29)  
(31) 優先権主張番号 特願2000-273205(P2000-273205)  
(32) 優先日 平成12年9月8日 (2000.9.8)  
(33) 優先権主張国 日本 (J P)

(71) 出願人 000005016  
バイオニア株式会社  
東京都目黒区目黒1丁目4番1号  
(71) 出願人 398050283  
静岡バイオニア株式会社  
静岡県袋井市菅巣字西ノ谷15の1  
(72) 発明者 岩見 隆  
山梨県中巨摩郡田宮町2680番地 静岡バイ  
オニア株式会社甲府事業所内  
(74) 代理人 100079119  
弁理士 藤村 元彦

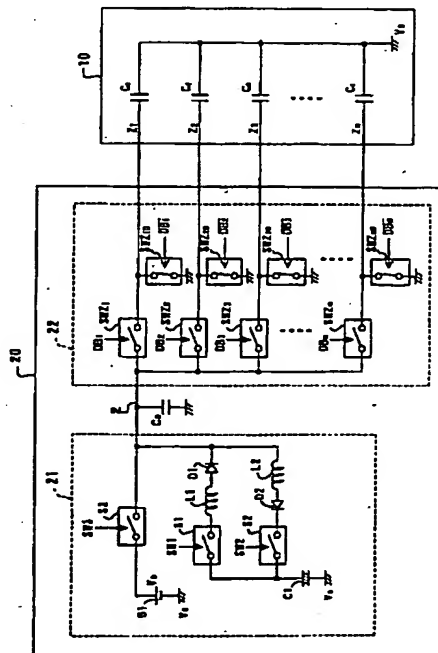
最終頁に続く

(54) 【発明の名称】 表示パネルの駆動装置

(57) 【要約】

【課題】 画素データ書込行程時における消費電力を低減できる表示パネルの駆動装置を提供することを目的とする。

【解決手段】 供給された画素データの中で列方向に隣接する少なくとも2つが同一論理レベルである場合には画素データパルスの生成を担う共振パルス電源電位の振幅を、その最大電位レベルを保持したまま小にする。



【特許請求の範囲】

【請求項1】 画面の行を担う複数の行電極と前記画面の列を担う複数の列電極との各交差部に容量性発光素子が形成された表示パネルの前記列電極各々に、映像信号に基づく画素データに応じたパルス電圧を有する画素データパルスを印加する表示パネルの駆動装置であって、最大電位レベルが所定の第1電位となる共振振幅を有する共振パルス電源電位を発生してこれを電源ライン上に印加する電源回路と、

前記画素データに応じて前記電源ラインと前記列電極とを接続することにより前記列電極上に前記画素データパルスを発生せしめる画素データパルス発生回路と、を備え、

前記電源回路は、前記画素データの中で列方向に隣接する少なくとも2つが互いに同一論理レベルである場合には前記共振パルス電源電位における前記第1電位を維持したまま前記共振振幅を小にすることを特徴とする表示パネルの駆動装置。

【請求項2】 前記電源回路は、列方向において前記画素データ各々が連続して同一論理レベルである数に応じた分だけ前記共振振幅を小にすることを特徴とする請求項1記載の表示パネルの駆動装置。

【請求項3】 前記電源回路は、一端が接地されたコンデンサと、前記コンデンサの他端及び前記電源ライン間に直列に接続された第1スイッチング素子及び第1コイルと、前記コンデンサの他端及び前記電源ライン間に直列に接続された第2スイッチング素子及び第2コイルと、前記第1電位を発生する直流電源と、前記直流電源及び前記電源ライン間に接続された第3スイッチング素子とからなり、

前記画素データパルス発生回路は、前記画素データの論理レベルに応じて前記電源ライン及び前記列電極間を接続する複数の第4スイッチング素子と、前記画素データの反転論理レベルに応じて前記列電極を接地せしめる複数の第5スイッチング素子と、からなることを特徴とする請求項1記載の表示パネルの駆動装置。

【請求項4】 前記第1スイッチング素子のみをオン状態にせしめる第1駆動行程と、前記第3スイッチング素子のみをオン状態にせしめる第2駆動行程と、前記第2スイッチング素子のみをオン状態にせしめる第3駆動行程と、からなるスイッチ駆動シーケンスを周期的に繰り返し実行することを特徴とする請求項1記載の表示パネルの駆動装置。

【請求項5】 画面の行を担う複数の行電極と前記画面の列を担う複数の列電極との各交差部に容量性発光素子が形成された表示パネルの前記列電極各々に、映像信号に基づく画素データに応じたパルス電圧を有する画素データパルスを印加する表示パネルの駆動装置であって、一端が接地されたコンデンサと、前記コンデンサの他端及び前記電源ライン間に直列に接続された第1スイッチ

ング素子及び第1コイルと、前記コンデンサの他端及び前記電源ライン間に直列に接続された第2スイッチング素子及び第2コイルと、前記第1電位を発生する直流電源と、前記直流電源及び前記電源ライン間に接続された第3スイッチング素子と、列方向において隣接する前記画素データ各々が連続して同一論理レベルとなる数に応じた電位を前記コンデンサの他端に印加する可変電圧電源と、からなる電源回路と、

前記画素データの論理レベルに応じて前記電源ライン及び前記列電極間を接続する複数の第4スイッチング素子と、前記画素データの論理レベルに対する反転論理レベルに応じて前記列電極を接地せしめる複数の第5スイッチング素子と、からなる画素データパルス発生回路と、を有することを特徴とする表示パネルの駆動装置。

【請求項6】 前記可変電圧電源は、列方向において隣接する前記画素データ各々が連続して同一論理レベルである数が少ない場合には、前記コンデンサの他端に印加すべき電位を低くする一方、多い場合には前記コンデンサの他端に印加すべき電位を高くすることを特徴とする請求項5記載の表示パネルの駆動装置。

【請求項7】 前記可変電圧電源は、前記第1電位の1/2の電位～前記第1電位なる範囲にて前記コンデンサの他端に印加すべき電位を変化させることを特徴とする請求項5記載の表示パネルの駆動装置。

【請求項8】 前記コンデンサの電位が所定の基準電位を越える場合には前記コンデンサの電位を強制的に前記基準電位にするクランプ回路を備えたことを特徴とする請求項3記載の表示パネルの駆動装置。

【請求項9】 前記基準電位は前記第1電位の1/2の電位よりも高電位であり、かつ前記第1電位よりも低電位であることを特徴とする請求項8記載の表示パネルの駆動装置。

【請求項10】 前記クランプ回路を動作状態から停止状態、及び停止状態から動作状態に切り換えるクランプ動作制御手段を更に備えたことを特徴とする請求項8記載の表示パネルの駆動装置。

【請求項11】 前記クランプ動作制御手段は、入力映像信号の種別を判別しその判別結果に応じて前記クランプ回路を動作状態から停止状態、又は停止状態から動作状態に切り換えることを特徴とする請求項10記載の表示パネルの駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、交流駆動型プラズマディスプレイパネル、又はエレクトロルミネセンスディスプレイパネルの如き表示パネルを駆動する駆動装置に関する。

【0002】

【背景技術】現在、壁掛TVとして、プラズマディスプレイパネル(以下、PDPと称する)、又はエレクトロル

ミネセンスディスプレイパネル(以下、ELPと称する)等の如き容量性発光素子からなる表示パネルが製品化されている。図1は、かかる表示パネルとしてPDPを用いたプラズマディスプレイ装置の概略構成を示す図である。

【0003】図1において、プラズマディスプレイパネルとしてのPDP10は、X及びYの1対にて1画面の各行(第1行~第n行)に対応した行電極対を為す行電極 $Y_1 \sim Y_n$ 及び $X_1 \sim X_n$ を備えている。更に、PDP10には、上記行電極対に直交し、かつ図示せぬ誘電体層及び放電空間を挟んで1画面の各列(第1列~第m列)に対応した列電極 $Z_1 \sim Z_m$ が形成されている。尚、1対の行電極対(X、Y)と1つの列電極Zとの交差部に1画素を担う放電セルが形成される。

【0004】この際、各放電セルは、その放電セル内において放電が生じられるか否かにより、“発光”及び“非発光”の2つの状態しかもたない。すなわち、最低輝度(非発光状態)、及び最高輝度(発光状態)の2階調分の輝度しか表現出来ないのである。そこで、このような発光素子を有するPDP10に対して、入力された映像信号に対応した中間調の輝度を得るべく、駆動装置100

は、サブフィールド法を用いた階調駆動を実施する。【0005】サブフィールド法では、入力された映像信号を各画素毎に対応したNビットの画素データに変換し、このNビットのビット桁各々に対応させて、1フィールドの表示期間をN個のサブフィールドに分割する。各サブフィールドには、そのサブフィールドの重み付けに対応した放電実行回数が夫々割り当ててあり、映像信号に応じたサブフィールドにおいてのみでこの放電を選択的に生起させる。この際、各サブフィールドで生起された放電回数の合計(1フィールド表示期間内での)により、映像信号に対応した中間調の輝度が得られるのである。

【0006】尚、かかるサブフィールド法を利用して実際にPDPを階調駆動する方法として、選択消去アドレス法が知られている。図2は、かかる選択消去アドレス法に基づく階調駆動を実施する際に、駆動装置100が、1サブフィールド内においてPDP10の列電極及び行電極に印加する各種駆動パルスの印加タイミングを示す図である。

【0007】先ず、駆動装置100は、負極性のリセットパルス $RP_x$ を行電極 $X_1 \sim X_n$ 、更に正極性のリセットパルス $RP_y$ を行電極 $Y_1 \sim Y_n$ 各々に同時に印加する(一斉リセット行程Rc)。これらリセットパルス $RP_x$ 及び $RP_y$ の印加に応じて、PDP10中の全ての放電セルがリセット放電されて、各放電セル内には一様に所定量の壁電荷が形成される。これにより、全ての放電セルは一旦、“発光セル”に初期設定される。

【0008】次に、駆動装置100は、入力された映像信号を各画素毎の例えば8ビットの画素データに変換す

る。駆動装置100は、かかる画素データを各ビット桁毎に分割して画素データビットを求め、この画素データビットの論理レベルに応じたパルス電圧を有する画素データパルスを発生する。例えば、駆動装置100は、上記画素データビットが論理レベル“1”である場合には高電圧、論理レベル“0”である場合には低電圧(0ボルト)の画素データパルスDPを発生する。そして、駆動装置100は、1画面分(n行×m列)の画素データパルス $DP_{11} \sim DP_{nn}$ を1行分毎(m個)にグループ化した画素データパルス群 $DP_{11-1n}, DP_{21-2n}, DP_{31-3n}, \dots, DP_{n1-nn}$ 各々を、図2に示す如く順次、列電極 $Z_1 \sim Z_m$ に印加して行く。更に、駆動装置100は、上記画素データパルス群DP各々の印加タイミングにて、図2に示されるが如き走査パルスSPを発生し、これを行電極 $Y_1 \sim Y_n$ へと順次印加して行く(画素データ書込行程Wc)。この際、走査パルスSPが印加された“行”と、高電圧の画素データパルスDPが印加された“列”との交差部の放電セルにのみ放電(選択消去放電)が生じ、その放電セル内に残存していた壁電荷が選択的に消去される。これにより、上記一斉リセット行程Rcにおいて“発光セル”の状態に初期化された放電セルは、“非発光セル”に推移する。一方、走査パルスSPが印加されたものの、低電圧の画素データパルスDPが印加された“行”及び“列”に交叉して形成されている放電セルには前述した如き選択消去放電は生起されず、上記一斉リセット行程Rcにて初期化された状態、つまり“発光セル”の状態が保持される。

【0009】次に、駆動装置100は、図2に示されるが如き正極性の維持パルス $IP_x$ を繰返し行電極 $X_1 \sim X_n$ に印加すると共に、この維持パルス $IP_x$ が行電極 $X_1 \sim X_n$ に印加されていない期間中に、図2に示されるが如き正極性の維持パルス $IP_y$ を繰返し行電極 $Y_1 \sim Y_n$ に印加する(発光維持行程Ic)。この際、壁電荷が残留したままとなっている放電セル、すなわち“発光セル”状態にある放電セルのみが、これら維持パルス $IP_x$ 及び $IP_y$ が交互に印加される度に放電(維持放電)する。つまり、上記画素データ書込行程Wcにおいて“発光セル”に設定された放電セルのみが、このサブフィールドの重み付けに対応した回数分だけ維持放電に伴う発光を繰返し、その発光状態を維持するのである。尚、これら維持パルス $IP_x$ 及び $IP_y$ が印加される回数は、各サブフィールド毎の重み付けに応じて予め設定されている回数である。

【0010】次に、駆動装置100は、図2に示されるが如き消去パルスEPを行電極 $X_1 \sim X_n$ に印加する(消去行程E)。これにより、全放電セルを一斉に消去放電せしめて各放電セル内に残留している壁電荷を消滅させる。上述した如き一連の動作を1フィールド内において複数回実行することにより、視覚状において、映像信号に対応した中間輝度が得られるのである。

10

20

30

40

50

【0011】ところが、PDP又はELPの如き容量性表示パネルでは、画素データを書き込むべく列電極に印加される画素データパルスは、各行のデータを書き込む毎に、データ書き込みが為されないその他の行に対しても充放電を実施しなければならず、更に隣接する列電極間の容量充放電をも行わなければならない。このため、この画素データ書き込みの際の電力消費が大きいという問題があった。

【0012】

【発明が解決しようとする課題】本発明は、画素データ書込行程時における消費電力を低減可能な表示パネルの駆動装置を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明による表示パネルの駆動装置は、画面の行を担う複数の行電極と前記画面の列を担う複数の列電極との各交差部に容量性発光素子が形成された表示パネルの前記列電極各々に、映像信号に基づく画素データに応じたパルス電圧を有する画素データパルスを印加する表示パネルの駆動装置であって、最大電位レベルが所定の第1電位となる共振振幅を有する共振パルス電源電位を発生してこれを電源ライン上に印加する電源回路と、前記画素データに応じて前記電源ラインと前記列電極とを接続することにより前記列電極上に前記画素データパルスを発生せしめる画素データパルス発生回路と、を備え、前記電源回路は、前記画素データの内で行方向に隣接する少なくとも2つが互いに同一論理レベルである場合には前記共振パルス電源電位における前記第1電位を維持したまま前記共振振幅を小にする。

【0014】

【発明の実施の形態】図3は、本発明による駆動装置を備えたプラズマディスプレイ装置の構成を示す図である。図3において、プラズマディスプレイパネルとしてのPDP10は、X及びYの1対にて1画面の各行（第1行～第n行）に対応した行電極対を有する行電極 $Y_1 \sim Y_n$ 及び $X_1 \sim X_n$ を備えている。更に、PDP10には、上記行電極対に直交し、かつ図示せぬ誘電体層及び放電空間を挟んで1画面の各列（第1列～第m列）に対応した列電極 $Z_1 \sim Z_m$ が形成されている。尚、1対の行電極対（X、Y）と1つの列電極Zとの交差部に画素を担う放電セルが形成される。

【0015】駆動制御回路50は、図2に示されるが如き、リセットパルス $RP_r$ 及び $RP_r$ 、走査パルスSP、並びに維持パルス $IP_r$ 及び $IP_r$ 各々を生成させる為の各種タイミング信号を発生し、これらを行電極駆動回路30及び40の各々に供給する。行電極駆動回路30は、かかるタイミング信号に応じてリセットパルス $RP_r$ 及び維持パルス $IP_r$ を生成し、これらを図2に示されるが如きタイミングにてPDP10の行電極 $X_1 \sim X_n$ に印加する。一方、行電極駆動回路40は、上記駆動制御

回路50から供給された各種タイミング信号に応じてリセットパルス $RP_r$ 、走査パルスSP、維持パルス $IP_r$ 及び消去パルスEPの各々を生成し、これらを図2に示されるが如きタイミングにてPDP10の行電極 $Y_1 \sim Y_n$ に印加する。

【0016】更に、駆動制御回路50は、先ず、入力された映像信号を各画素毎の例えば8ビットの画素データに変換する。次に、駆動制御回路50は、この画素データを各ビット毎に分割して画素データビットDBを得る。そして、駆動制御回路50は、同一ビット毎同士にて、各行毎に、その行に属する第1列～第m列各々に対応した画素データビット $DB_1 \sim DB_m$ を抽出し、これらを行電極駆動回路20に供給する。この間、駆動制御回路50は、図4に示す如きスイッチング信号 $SW_1 \sim SW_3$ を生成し、これらを行電極駆動回路20に供給する。すなわち、駆動制御回路50は、

駆動行程G1では、

$SW_1 = "1"$

$SW_2 = "0"$

$SW_3 = "0"$

駆動行程G2では、

$SW_1 = "0"$

$SW_2 = "0"$

$SW_3 = "1"$

駆動行程G3では、

$SW_1 = "0"$

$SW_2 = "1"$

$SW_3 = "0"$

なる論理レベルを有するスイッチング信号 $SW_1 \sim SW_3$ を生成する。そして、駆動制御回路50は、上記駆動行程G1～G3を1サイクルとして、上述した如く推移するスイッチング信号 $SW_1 \sim SW_3$ を繰り返し列電極駆動回路20に供給する。

【0017】図5は、かかる列電極駆動回路20の内部構成を示す図である。図5に示すように、列電極駆動回路20は、所定の振幅を有する共振パルス電源電位を発生して電源ライン2上に印加する電源回路21と、かかる共振パルス電源電位に基づいて画素データパルスを発生する画素データパルス発生回路22から構成される。

【0018】電源回路21におけるコンデンサC1は、その一端がPDP10の接地電位としてのPDP接地電位 $V_s$ に接地されている。スイッチング素子S1は、上記駆動制御回路50から論理レベル"0"のスイッチング信号 $SW_1$ が供給されている間はオフ状態にある。一方、かかるスイッチング信号 $SW_1$ の論理レベルが"1"である場合にはオン状態となって、上記コンデンサC1の他端に生じた電位をコイルL1及びダイオードD1を介して電源ライン2上に印加する。スイッチング素子S2は、上記駆動制御回路50から論理レベル"0"のスイッチング信号 $SW_2$ が供給されている間はオフ状態であ

る一方、かかるスイッチング信号SW2の論理レベルが"1"である場合にはオン状態となって上記電源ライン2上の電位をコイルL2及びダイオードD2を介して上記コンデンサC1の他端に印加する。この際、コンデンサC1は、上記電源ライン2上の電位によって充電される。スイッチング素子S3は、上記駆動制御回路50から論理レベル"0"のスイッチング信号SW3が供給されている間はオフ状態である一方、かかるスイッチング信号SW3の論理レベルが"1"である場合にはオン状態となって直流電源B1による電源電位Vaを電源ライン2上に印加する。尚、この直流電源B1の負側端子は、上記PDP接地電位Vsにて接地されている。

【0019】かかる電源回路21の動作により、電源ライン2上には、上記電源電位Vaを最大電位とする共振振幅V<sub>r</sub>の共振パルス電源電位が印加される。画素データパルス発生回路22には、駆動制御回路50から供給された1行分(m個)の画素データビットDB<sub>1</sub>～DB<sub>m</sub>の各々に応じて、夫々独立してオン・オフ制御されるスイッチング素子SWZ<sub>1</sub>～SWZ<sub>m</sub>、及びSWZ<sub>1</sub>～SWZ<sub>m</sub>が設けられている。スイッチング素子SWZ<sub>1</sub>～SWZ<sub>m</sub>の各々は、夫々に供給された画素データビットDBが論理レベル"1"である場合に限りオン状態となって、電源ライン2上に印加されている上記共振パルス電源電位をPDP10の列電極Z<sub>1</sub>～Z<sub>m</sub>に印加する。一方、上記スイッチング素子SWZ<sub>1</sub>～SWZ<sub>m</sub>の各々は、夫々、画素データビットDBが論理レベル"0"である場合に限りオン状態となって、列電極Z上の電位をPDP接地電位Vsに接地する。

【0020】以下に、図5に示す如き構成を有する列電極駆動回路20の内部動作について図4(a)～図4(c)を参照しつつ説明する。尚、図4(a)～図4(c)の各々は、PDP10の第i列(iは1～m)における第1行～第7行までの画素データパルスDPの印加動作を抜粋して、図2に示す画素データ書込行程Wc内での電源ライン2上の電位変化を示すものである。

【0021】この際、図4(a)は、第i列における第1行～第7行各々に対応した画素データビットDBのビット系列が、

[1、0、1、0、1、0、1]

なる場合であり、図4(b)は、第i列における第1行～第7行各々に対応した画素データビットDBのビット系列が、

[1、1、1、1、1、1、1]

なる場合であり、図4(c)は、第i列における第1行～第7行各々に対応した画素データビットDBのビット系列が、

[0、0、0、0、0、0、0]

なる場合である。

【0022】先ず、上述した如く、第i列の第1行～第7行各々に対応した画素データビットDBが[1、0、

1、0、1、0、1]である場合、スイッチング素子SWZ<sub>1</sub>及びSWZ<sub>1</sub>は、図4(a)に示す如く、オン状態及びオフ状態の反転を繰り返す。この際、駆動行程G1では、スイッチング素子S1～S3の内のスイッチング素子S1のみがオン状態となり、コンデンサC1に蓄えられていた電荷が放電される。尚、図4に示す第1サイクルCYC1では、スイッチング素子SWZ<sub>1</sub>がオン状態にあるので、上記放電に伴う放電電流は、スイッチング素子S1、コイルL1、ダイオードD1、電源ライン2、及びスイッチング素子SWZ<sub>1</sub>を介してPDP10の列電極Z<sub>1</sub>に流れ込む。この際、列電極Z<sub>1</sub>に寄生する負荷容量C<sub>1</sub>が充電され、この負荷容量C<sub>1</sub>内に電荷の蓄積が為される。又、上記コンデンサC1の放電に伴って電源ライン2上の電位は、コイルL1及び負荷容量C<sub>1</sub>による共振作用により徐々に上昇する。そして、電源ライン2上の電位は、図4(a)に示す如くコンデンサの一端の電位Vcの2倍の電位を有する電位Vaに到達する。この際、上述した如き電源ライン2上での緩やかな電位上昇部分が、上記共振パルス電源電位のフロントエッジ部となる。又、第1サイクルCYC1では、上述した如き共振パルス電源電位のフロントエッジ部が、そのまま図4(a)に示す如く列電極Z<sub>1</sub>上に印加される画素データパルスDP<sub>1</sub>のフロントエッジ部となる。

【0023】次に、駆動行程G2が実施されると、スイッチング素子S1～S3の内のスイッチング素子S3のみがオン状態となるので、直流電源B1による直流の電位Vaが、スイッチング素子S3を介して電源ライン2上に印加される。この際、上記電位Vaが、上記共振パルス電源電位の最大電位部分となる。又、第1サイクルCYC1では、この共振パルス電源電位の最大電位部分(電位Va)が、そのまま図4(a)に示す如く列電極Z<sub>1</sub>上に印加される画素データパルスDP<sub>1</sub>の最大電位部分となる。この際、PDP10の列電極Z<sub>1</sub>には電流が流れ、この列電極Z<sub>1</sub>に寄生する負荷容量C<sub>1</sub>が充電されて電荷の蓄積が為される。

【0024】次に、駆動行程G3が実施されると、スイッチング素子S1～S3の内のスイッチング素子S2のみがオン状態となり、PDP10の負荷容量C<sub>1</sub>が放電を開始する。かかる放電により、列電極Z<sub>1</sub>、スイッチング素子SWZ<sub>1</sub>、電源ライン2、コイルL2、ダイオードD2、及びスイッチング素子S2を介してコンデンサC1に電流が流れ込む。すなわち、PDP10の負荷容量C<sub>1</sub>内に蓄積された電荷が、電源回路21内に形成されているコンデンサC1に回収されて行く。このとき、コイルL2及び負荷容量C<sub>1</sub>で決まる時定数により、電源ライン2上の電位は図4(a)に示す如く徐々に低下する。この際、上述した如き電源ライン2上での緩やかな電位下降部分が、上記共振パルス電源電位のリアエッジ部となる。又、第1サイクルCYC1では、上述した如き共振パルス電源電位のリアエッジ部が、そのま

ま図4(a)に示す如く列電極Z<sub>1</sub>上に印加される画素データパルスDP<sub>11</sub>のリアエッジ部となる。

【0025】そして、かかる駆動行程G3の終了後、第2サイクルCYC2〜第7サイクルCYC7各々においても、夫々駆動行程G1〜G3なる動作を繰り返して実行する。ここで、図4(a)においては、第2サイクルCYC2、第4サイクルCYC4、及び第6サイクルCYC6の各々では、スイッチング素子SWZ<sub>1</sub>がオフ状態にある。よって、第2行、第4行、及び第6行各々に対応した画素データパルスDP<sub>21</sub>、DP<sub>41</sub>、DP<sub>61</sub>としては、低電圧(0ボルト)のものが列電極Z<sub>1</sub>に印加される。又、これら偶数のサイクルCYCでは、スイッチング素子SWZ<sub>1</sub>がオン状態にあるので、PDP10の負荷容量C<sub>1</sub>に残存していた電荷が列電極Z<sub>1</sub>及びスイッチング素子SWZ<sub>1</sub>なる電流路を介して全て回収される。よって、例えば、第2サイクルCYC2が終了し、次の第3サイクルCYC3が開始された直後のスイッチング素子SWZ<sub>1</sub>がオフ状態からオン状態に切り替わった時には、図4(a)に示す如く電源ライン2上の電位は、ほぼ0ボルトになる。

【0026】すなわち、画素データビットDBによるビット系列が[1、0、1、0、1、0、1]の如く列方向において1行毎に反転している場合には、図4(a)に示す如き最大電位Vaで共振振幅V<sub>1</sub>を有する共振パルス電源電位が電源ライン2上に印加されるのである。一方、各行に対応した画素データビットDBによるビット系列が[1、1、1、1、1、1、1]の如く、列方向において連続して論理レベル"1"である場合には、図4(b)に示す如く、スイッチング素子SWZ<sub>1</sub>はオン状態、SWZ<sub>1</sub>がオフ状態固定になる。すなわち、この間、図4(a)の場合とは異なり、列電極Z<sub>1</sub>及びスイッチング素子SWZ<sub>1</sub>なる電流路による電荷回収が為されない。よって、各サイクルCYC毎の駆動行程G3で回収しきれなかった電荷が徐々にPDP10の負荷容量C<sub>1</sub>内に蓄積されて行く。その結果、電源ライン2上に印加された共振パルス電源電位は、その最大電位Vaを維持しつつ共振振幅V<sub>1</sub>が徐々に小となり、これがそのまま高電圧の画素データパルスDP<sub>11</sub>〜DP<sub>71</sub>として列電極Z<sub>1</sub>に印加される。

【0027】すなわち、列方向において各行毎の画素データビット各々が連続して論理レベル"1"となる場合には、列電極Z<sub>1</sub>に印加すべき電圧をパルス状にする必要はない。そこで、このような場合には、図4(b)に示す如く、電源ライン2上に印加すべき共振パルス電源電位の共振振幅を、その最大電位Vaを維持したまま小さくするのである。従って、この際、上述した如き共振作用に伴う充放電動作が実施されなくなるので、無効電力の抑制が為される。

【0028】又、各行に対応した画素データビットDBによるビット系列が[0、0、0、0、0、0、0]の

如く列方向において連続して論理レベル"0"である場合には、図4(c)に示す如く、スイッチング素子SWZ<sub>1</sub>はオフ状態、SWZ<sub>1</sub>がオン状態固定になる。この際、駆動行程G1では、図4(a)の場合と同様に、コンデンサC<sub>1</sub>に蓄えられていた電荷が放電する。この放電に伴ってコンデンサC<sub>1</sub>の一端に発生した電位Vは、コイルL<sub>1</sub>及び電源ライン2に寄生する寄生容量C<sub>2</sub>による共振作用により図4(c)に示す如く徐々に上昇する。そして、電源ライン2上に印加される最終的な電位は上記電位Vcの2倍の電位を有する電位Vaに到達する。この際、上述した如き電源ライン2上での緩やかな電位上昇部分が、共振パルス電源電位のフロントエッジ部となる。次に、駆動行程G2が実施されると、直流電源B1による電位Vaがスイッチング素子S3を介して電源ライン2上に印加される。この際、電源ライン2に寄生する寄生容量C<sub>2</sub>が充電されて電荷の蓄積が為される。尚、上記電位Vaが、共振パルス電源電位の最大電位部分となる。次に、駆動行程G3が実施されると、この寄生容量C<sub>2</sub>が放電を開始し、寄生容量C<sub>2</sub>に蓄積されていた電荷が電源回路21内に形成されているコンデンサC<sub>1</sub>に回収されて行く。このとき、コイルL<sub>2</sub>及び寄生容量C<sub>2</sub>で決まる時定数により電源ライン2上の電位は図4(c)に示す如く徐々に低下する。ところが、各サイクルCYC毎の駆動行程G3において回収しきれなかった電荷が徐々に寄生容量C<sub>2</sub>に蓄積される為、電源ライン2上に印加された共振パルス電源電位は、その最大電位Vaを維持しつつ共振振幅V<sub>1</sub>が徐々に小となる。

【0029】すなわち、各行毎の画素データビット各々が列方向において連続して論理レベル"0"となる場合には、電源ライン2上に印加する電位をパルス状にする必要はない。そこで、このような場合には、図4(c)に示す如く、電源ライン2上に印加する共振パルス電源電位の振幅を抑えて直流化(電位Vaに固定)するようにしたのである。従って、この際、上述した如き共振作用に伴う充放電動作が実施されなくなるので、無効電力の抑制が為される。

【0030】尚、図5に示す構成では、図4(b)又は図4(c)に示す如く、共振パルス電源電位の共振振幅V<sub>1</sub>を徐々に小にして行くようにしたが、上述の如き画素データビットのパターンを検出したら、直ちに上記共振パルス電源電位の共振振幅を小にするようにしても良い。図6は、かかる点に鑑みて為された本発明の他の実施例による列電極駆動回路20の内部構成を示す図である。

【0031】図6に示す列電極駆動回路20では、画素データビットパターン解析回路200及び可変電圧電源B2を設け、上記コンデンサC<sub>1</sub>に代わりその容量がC<sub>1</sub>よりも大幅に小さいコンデンサC<sub>1</sub>'を採用している点を除き、その他の構成は図5に示すものと同一である。図6において、画素データビットパターン解析回路200は、駆動制御回路50から順次供給されてくる各



行毎の画素データビット $DB_1 \sim DB_n$ に基づき、行、列方向におけるビットパターンを解析する。そして、その解析結果に応じた電圧制御信号を可変電圧電源B2に供給する。

【0032】例えば、画素データビットパターン解析回路200は、供給された画素データビットDB各々が、各行毎に論理反転を繰り返すものである場合には、電圧 $V_v$ ( $V_v = 0.5 \cdot V_a$ )を発生させるべき電圧制御信号を可変電圧電源B2に供給する。この際、図6に示す列電極駆動回路20は、実質的に図5に示す構成と同一になるので、電源ライン2上には、図7(a)に示す如き最大電位 $V_a$ を有する共振振幅 $V_1$ の共振パルス電源電位が印加される。

【0033】一方、供給された画素データビットDB各々が列方向において連続して同一論理レベルである場合には、画素データビットパターン解析回路200は、上記画素データビットDB各々が列方向において連続して同一論理レベルとなる数に応じた電圧 $V_v$ ( $0.5 \cdot V_a < V_v \leq V_a$ )を発生させるべき電圧制御信号を可変電圧電源B2に供給する。これにより、コンデンサC1'の一端の電位は上記電位 $V_v$ に固定される。よって、電源ライン2上には、図7(b)に示す如く、最大電位 $V_a$ を維持しつつも上記共振振幅 $V_1$ の振幅を上記電位 $V_v$ に応じただけ小さにした共振パルス電源電位が印加される。この際、画素データビットパターン解析回路200は、上記画素データビットDB各々が列方向において所定回数以上連続(例えば7回以上)して同一論理レベルとなる場合には、電圧 $V_a$ を発生させるべき電圧制御信号を可変電圧電源B2に供給する。これにより、コンデンサC1'の一端は電位 $V_a$ に固定されるので、上記共振振幅 $V_1$ は0となり、電源ライン2上には、図7(c)に示す如き電位 $V_a$ なる直流の電源電位が印加される。

【0034】尚、図6に示す構成においては、上記コンデンサC1'の役割を可変電圧電源B2が全て担うことが可能である為、このコンデンサC1'を省くようにしても良い。ここで、図6に示す構成においては、画素データビットDBの列方向でのビット系列が連続して論理レベル"1"(すなわち、選択放電を生起させる論理レベル)となる場合には、以下の如き問題が発生する。

【0035】つまり、このような場合、コンデンサC1'の電位が徐々に上昇して共振振幅がゼロになる。よって、電源ライン2上の電位は図8(a)に示す如く電源B1の電位 $V_a$ に固定されてしまい、直流駆動状態になる。この際、PDP10の全列において、"1"の連続するビット系列を有する列が多くを占め、ビット系列が[1, 0, 1, 0, ..., 1, 0]なる列が一部含まれるような特殊な絵柄を表示する場合、この[1, 0, 1, 0, ..., 1, 0]に対応した表示を担う列電極Z<sub>1</sub>上にも図8(a)に示す如く直流の電位 $V_a$ が印加される。よって、この際、列電極Z<sub>1</sub>が直流駆動されて過大な電力

損失が生じてしまうのである。

【0036】図9は、かかる問題を解決すべく為された列電極駆動回路20の他の構成を示す図である。尚、図9に示す列電極駆動回路20では、クランプ回路23を付加した点を除き、その他の構成は図5に示すものと同じであるので、以下に、クランプ回路23を中心にその動作を説明する。

【0037】クランプ回路23は、トランジスタQ1、抵抗R1~R3、コンデンサC2、ダイオードD3及びD4から構成される。トランジスタQ1のエミッタ端には、ダイオードD3を介してコンデンサC1'の一端上の電位 $V_c$ が印加されており、そのコレクタ端には抵抗R1を介してPDP接地電位 $V_s$ が印加されている。又、トランジスタQ1のベース端には、抵抗R2及びダイオードD4を介して電源B1の電位 $V_a$ が印加されている。更に、かかるベース端には、夫々、その一端にPDP接地電位 $V_s$ が印加されている抵抗R3及びコンデンサC2が接続されている。よって、トランジスタQ1のベース端には、電源B1の電位 $V_a$ を抵抗R2及びR3によって分圧して得られた基準電位 $V_{ref}$ が印加される。

【0038】尚、基準電位 $V_{ref}$ は、

$$(V_a/2) < V_{ref} < V_a$$

なる範囲内において予め設定されている所定の電位である。かかる構成において、上記コンデンサC1'上の電位 $V_c$ が上記基準電位 $V_{ref}$ を越えると、トランジスタQ1はオン状態となり、コンデンサC1'上の電位 $V_c$ を基準電位 $V_{ref}$ にクランプする。すなわち、クランプ回路23は、コンデンサC1'の一端上の電位を基準電位 $V_{ref}$ にクランプすることにより、電源回路21内において共振振幅がゼロになるのを防止しているのである。よって、クランプ回路23の動作によれば、図8(b)及び図8(c)に示す如く、電源ライン2上の電位は、僅かな共振振幅をもって推移するようになる。すると、コンデンサC1'による電荷回収が実施されるようになるので、図8(a)に示す駆動を実行した場合に比して電力損失が抑えられる。

【0039】又、図9に示すクランプ回路23では、前述した如きクランプ動作を常時実施するものであるが、必要時以外は、クランプ動作を停止させるようにしても良い。図10は、かかる点に鑑みて為されたクランプ回路23'を示す図である。クランプ回路23'は、図9に示すクランプ回路23にトランジスタQ2を付加したものである。

【0040】トランジスタQ2のエミッタ端及びコレクタ端には、夫々、抵抗R2の一端及び他端が接続されており、そのベース端にはクランプディスエーブル信号が供給される。トランジスタQ2は、駆動制御回路50から低電圧のクランプディスエーブル信号が供給されている間はオフ状態となる。よって、この際、クランプ回路

23'は、クランプ回路23と等価な回路構成となり、前述した如きクランプ動作を実行する。一方、駆動制御回路50から高電圧のクランプディスエーブル信号が供給されている間は、トランジスタQ2はオン状態となり、抵抗R2の両端をショートする。よって、トランジスタQ1のベース端上の電位は電位Vaと等しくなるので、トランジスタQ1はオフ状態固定となり、クランプ回路23'によるクランプ動作が停止する。

【0041】ここで、例えば、テレビジョン信号の如き、1画面内の列方向及び行方向において画像に相関がある映像が入力対象となっている場合には、前述した如き特殊な絵柄を表示する可能性が無い。そこで、駆動制御回路50は、先ず、入力された映像信号に基づきその映像信号の種別を判別する。この際、入力映像信号としてテレビジョン信号が入力されたかと判別された場合には、駆動制御回路50は、高電圧のクランプディスエーブル信号をクランプ回路23'に供給して、そのクランプ動作を停止せしめる。一方、絵、図、又は表等を担うグラフィックス映像信号の如き特殊な絵柄を表現し得る映像信号が入力されたかと判別された場合には、駆動制御回路50は、低電圧のクランプディスエーブル信号をクランプ回路23'に供給して、そのクランプ動作を実行させる。これにより、前述した如き特殊な絵柄を表示する際の過大な電力損失を防止する。

【0042】

【発明の効果】以上の如く、本発明による表示パネルの駆動装置は、供給された画素データの内列方向に隣接するも少なくとも2つが互いに同一論理レベルである場合には画素データパルスの生成を担う共振パルス電源電位の振幅を、その最大電位レベルを保持したまま小にする。

【0043】従って、本発明によれば、共振パルス電源電位を推移させるべく実施される無駄な充放電動作が抑制されるので、無効電力が低減される。

【0044】

【図面の簡単な説明】

【0045】

【図1】表示パネルとしてプラズマディスプレイパネルを用いたプラズマディスプレイ装置の概略構成を示す図

である。

【0046】

【図2】1サブフィールド内においてPDP10に印加する各種駆動パルスの印加タイミングを示す図である。

【0047】

【図3】本発明による駆動装置を搭載したプラズマディスプレイ装置の構成を示す図である。

【0048】

【図4】本発明による駆動装置としての列電極駆動回路20の内部動作を示す図である。

【0049】

【図5】本発明による駆動装置としての列電極駆動回路20の内部構成を示す図である。

【0050】

【図6】列電極駆動回路20の他の構成を示す図である。

【0051】

【図7】図6に示す列電極駆動回路20における内部動作を示す図である。

【0052】

【図8】列電極駆動回路20における内部動作の他の一例を示す図である。

【0053】

【図9】列電極駆動回路20の他の構成を示す図である。

【0054】

【図10】図9に示す列電極駆動回路20の変形例を示す図である。

【0055】

【主要部分の符号の説明】

B1 直流電源

C1 コンデンサ

D1, D2 ダイオード

L1, L2 コイル

S1～ スイッチング素子

10 PDP

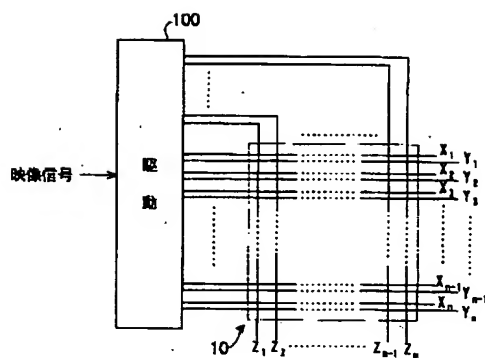
20 列電極駆動回路

50 駆動制御回路

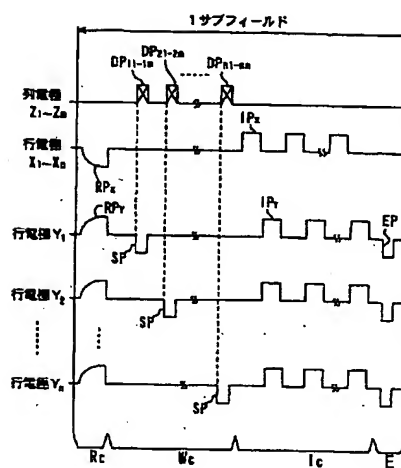
200 画素データビットパターン解析回路



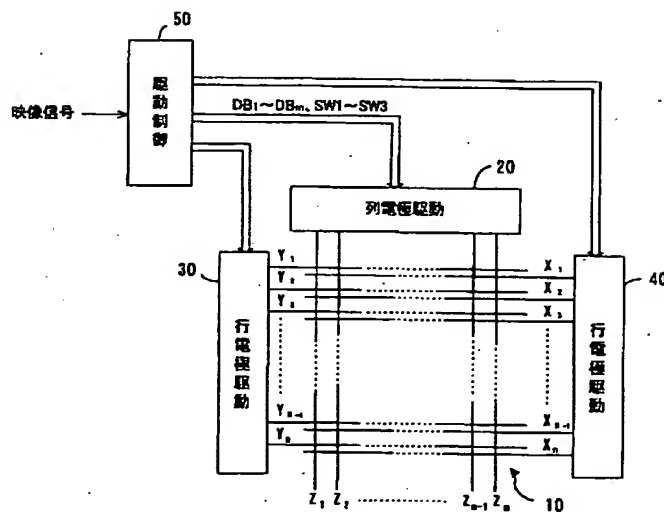
【図1】



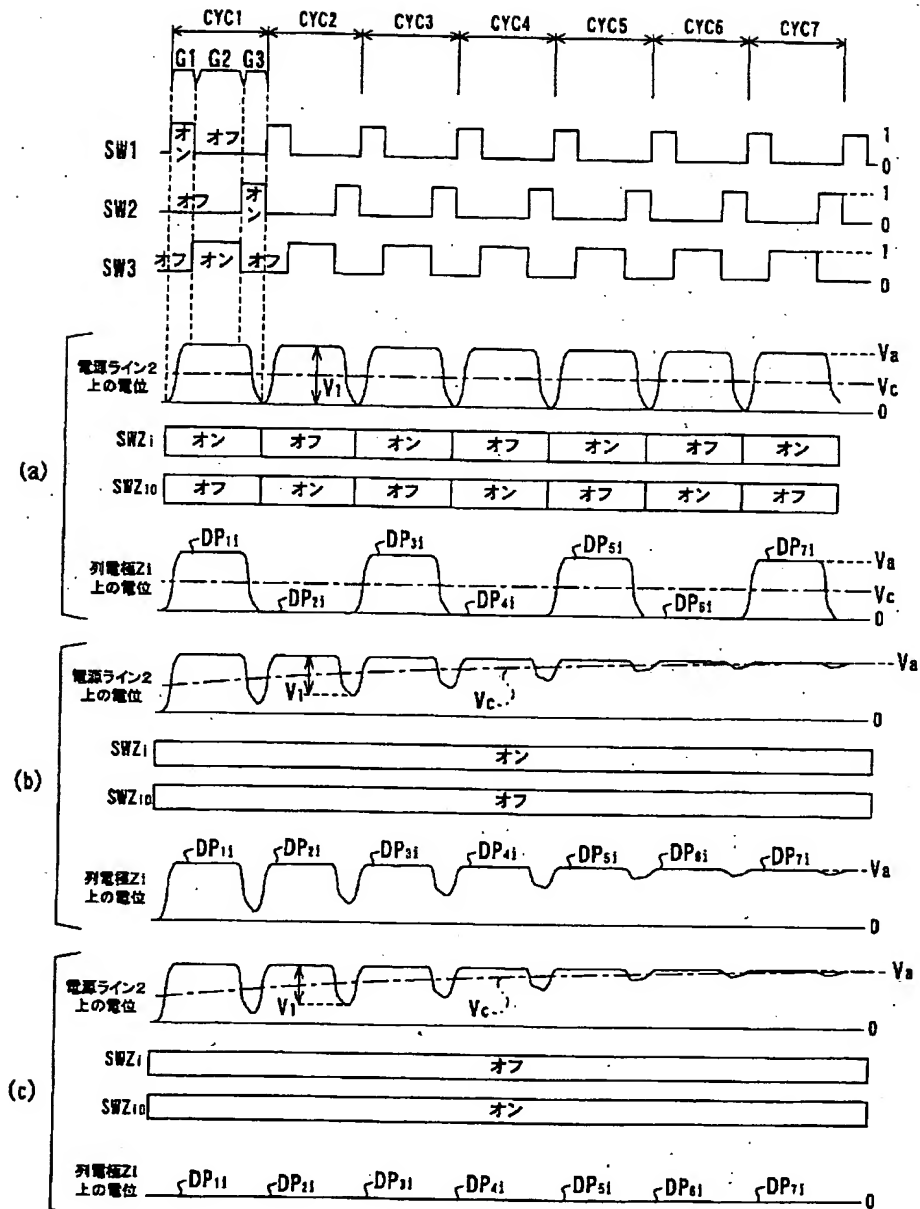
【図2】



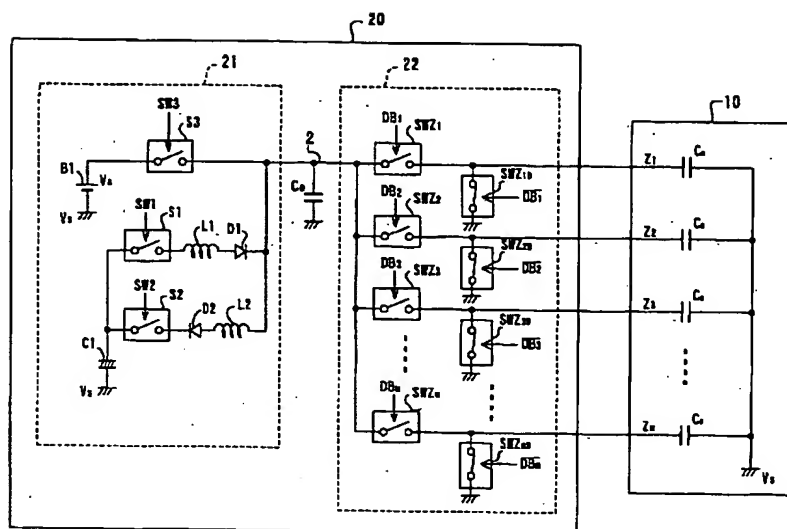
【図3】



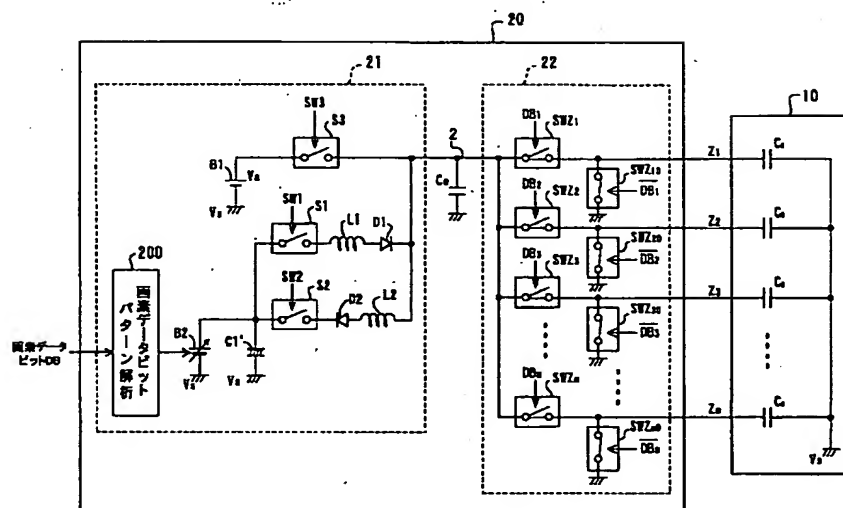
【図4】



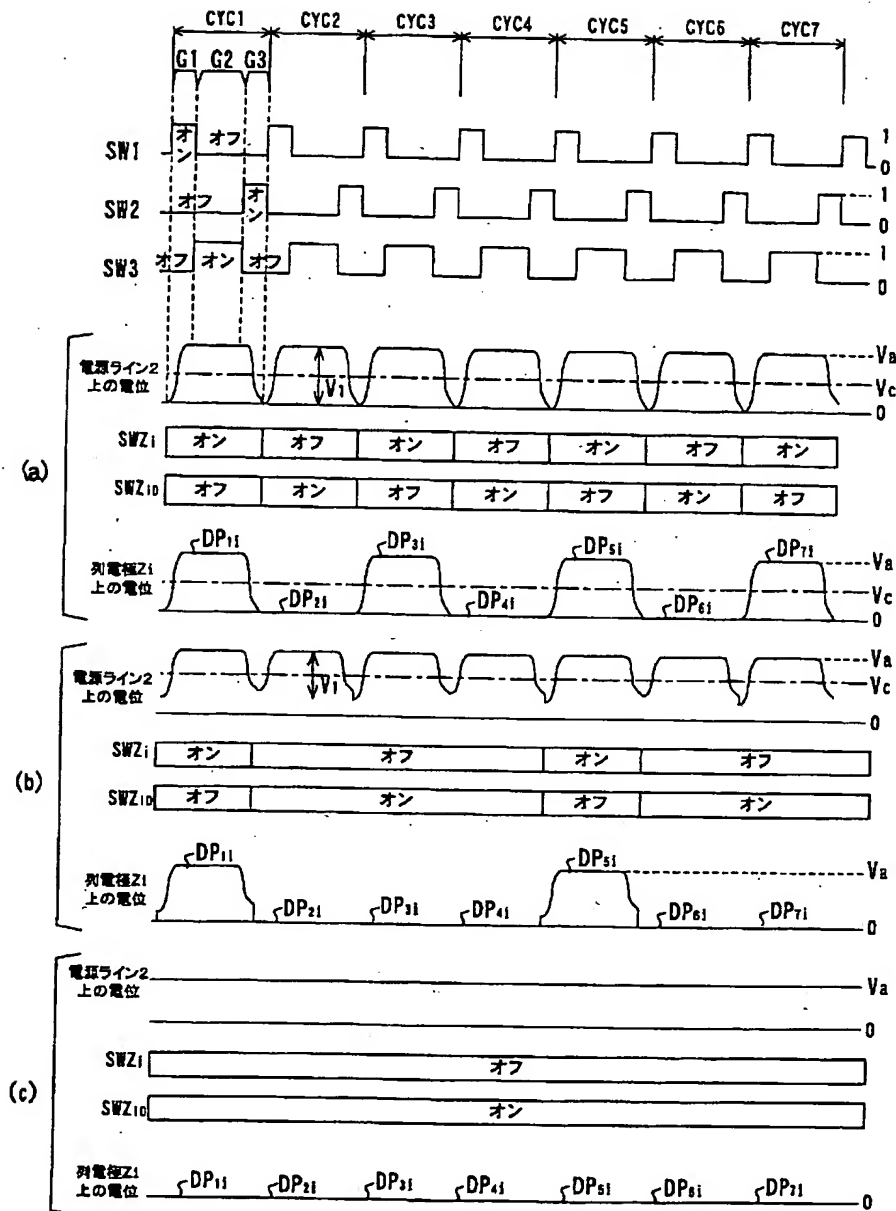
【図5】



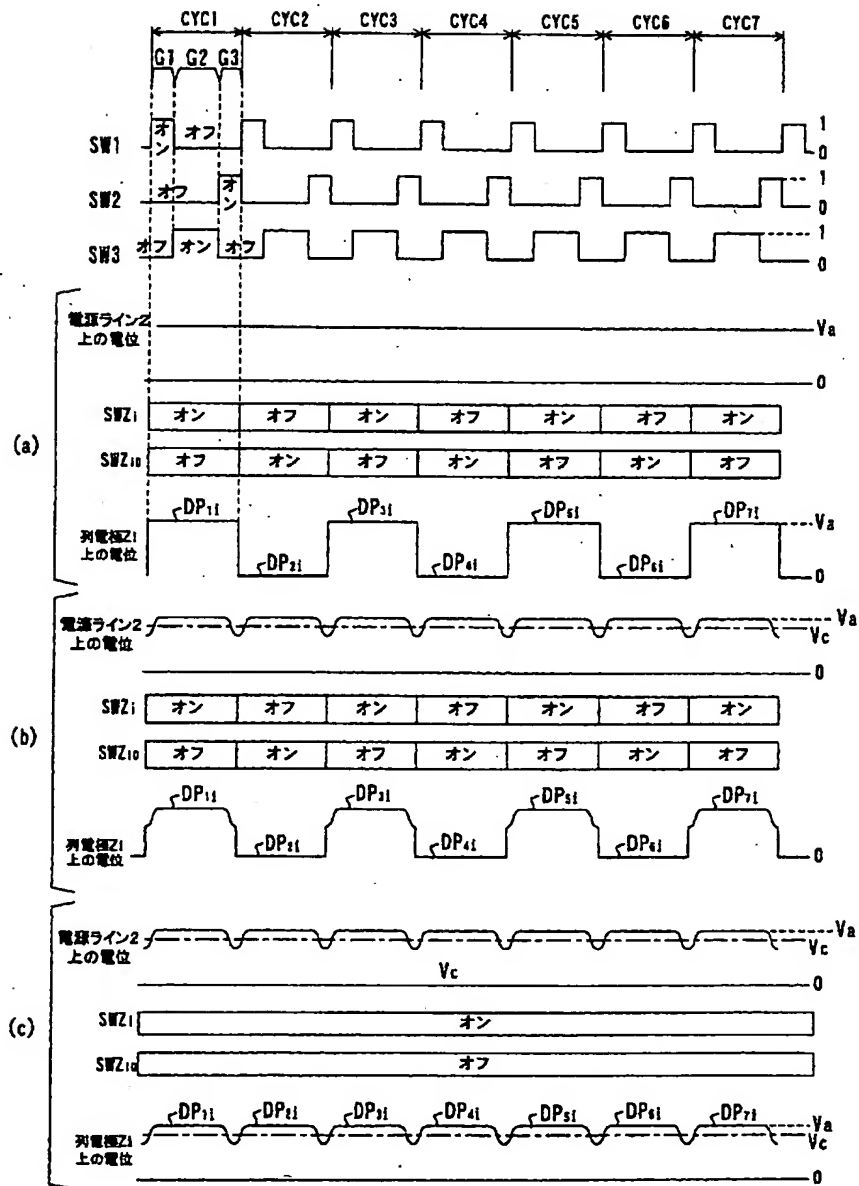
【図6】



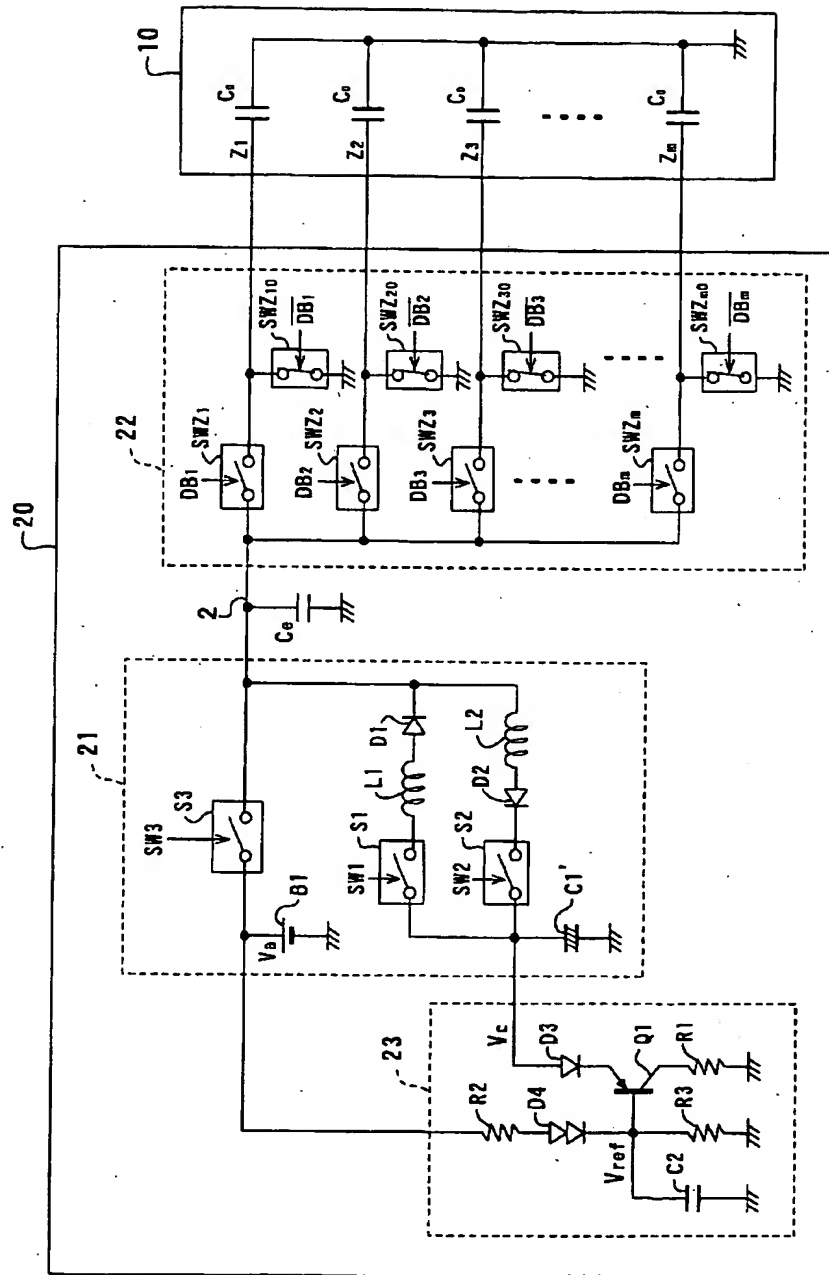
【図7】



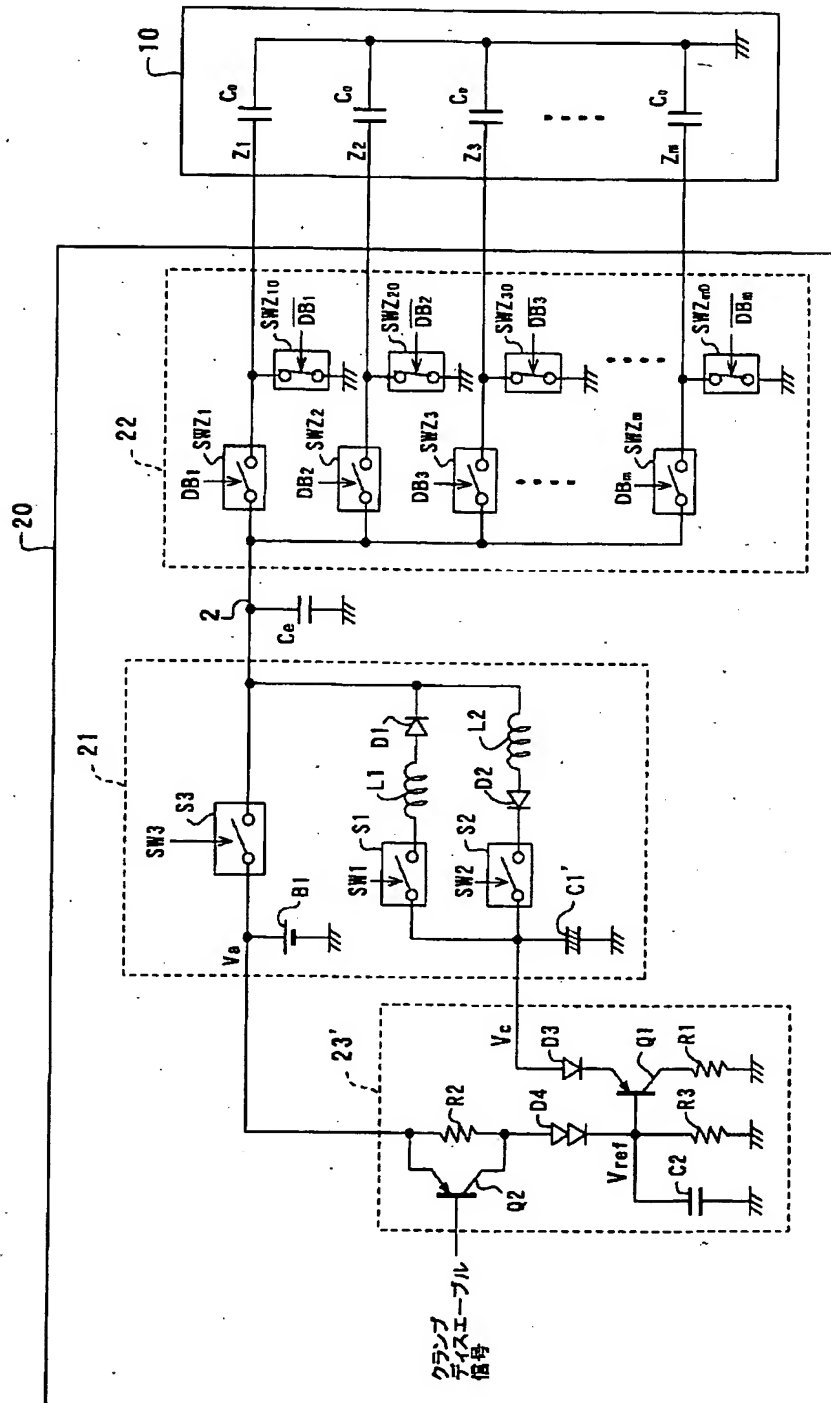
【図8】



【図9】



【図10】





フロントページの続き

(51)Int.Cl.<sup>7</sup>

識別記号

F I

ターム (参考)

H 0 4 N 5/66

1.01

G 0 9 G 3/28

K

F ターム (参考) 5C058 AA11 AA12 BA02 BA04 BA26

BB07

5C080 AA05 AA06 BB05 DD26 EE29

FF12 JJ02 JJ04